



## WiNoCoD : Un réseau d'interconnexion hiérarchique RF pour les MPSoC

Alexandre Brière, Julien Denoulet, Andrea Pinna, Bertrand Granado, François Pêcheux, Patrick Garda, Myriam Ariaudo, Frédéric Drillet, Cédric Duperrier, Mohamad Hamieh, et al.

### ► To cite this version:

Alexandre Brière, Julien Denoulet, Andrea Pinna, Bertrand Granado, François Pêcheux, et al.. WiNoCoD : Un réseau d'interconnexion hiérarchique RF pour les MPSoC. ComPAS'2014 : Conférence d'informatique en Parallélisme, Architecture et Système, Apr 2014, Neuchâtel, Suisse. pp.track architecture. hal-00984427

**HAL Id: hal-00984427**

**<https://hal.science/hal-00984427>**

Submitted on 28 Apr 2014

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

# WiNoCoD : Un réseau d'interconnexion hiérarchique RF pour les MPSoC

Alexandre BRIÈRE<sup>1</sup>, Julien DENOULET<sup>1</sup>, Andrea PINNA<sup>1</sup>, Bertrand GRANADO<sup>1</sup>, François PÊCHEUX<sup>1</sup>, Patrick GARDA<sup>1</sup>, Myriam ARIAUDO<sup>2</sup>, Frédéric DRILLET<sup>2</sup>, Cédric DUPERRIER<sup>2</sup>, Mohamad HAMIEH<sup>2</sup>, Sébastien QUINTANEL<sup>2</sup>, Olivier ROMAIN<sup>2</sup>, Lounis ZERIOUL<sup>2</sup>, Yves LOUET<sup>3</sup>, Christophe MOY<sup>3</sup>, Eren UNLU<sup>3</sup>, Emmanuelle BOURDEL<sup>2</sup>

<sup>1</sup>Sorbonne Universités, UPMC Univ Paris 06, UMR 7606, LIP6, F-75005, Paris, France

<sup>2</sup>ETIS/ENSEA/UCP/UMR8051, F-95000, Cergy-Pontoise, France

<sup>3</sup>SUPELEC/IETR, F-35576 Cesson-Sévigné Cedex, France

Mél. : alexandre.briere@lip6.fr

---

## Résumé

La multiplication du nombre de cœurs de calcul présents sur les puces va de pair avec une augmentation des besoins en communication. C'est pour palier à ce problème que nous présentons dans cet article un réseau d'interconnexion sur puce utilisant la RF. Nous présentons les raisons du choix de la RF par rapport aux autres nouvelles technologies du domaine que sont l'optique et la 3D, l'architecture détaillée de ce réseau et d'une puce le mettant en œuvre ainsi que l'évaluation de sa faisabilité et de ses performances. Un des avantages potentiels de ce réseau d'interconnexion RF est la possibilité de faire du broadcast à faible coût, ce qui ouvre de nouvelles perspectives notamment en terme de gestion de la cohérence mémoire.

**Mots-clés :** WiNoCoD, MPSoC, NoC, RF, multi-cœurs, hiérarchique

---

## 1. Introduction

On assiste depuis plusieurs années à un changement de stratégie dans la quête de puissance des processeurs. Au lieu d'utiliser les transistors supplémentaires pour complexifier le cœur de calcul et exécuter plus vite une tâche donnée, on multiplie les cœurs de calcul pour exécuter plus de tâches à la fois. On appelle ces puces intégrant de plus en plus de composants des Multi Processor System on Chip (MPSoC) et elles posent un nouveau problème : comment faire communiquer tous ces composants entre eux ?

C'est la problématique traitée dans le cadre des Network on Chip (NoC).

Les premiers NoC proposés utilisaient des technologies filaires classiques et des communications par routage de paquets. Ces solutions sont intéressantes en terme de bande passante, elles le sont moins en terme de latence. D'autres solutions utilisant des nouvelles technologies ont donc été proposées. Si les NoC filaires ou utilisant de nouvelles technologies apportent une amélioration de la bande passante et/ou de la latence, ce ne sont pas les seuls critères à prendre en compte. Il faut aussi tenir compte de l'hétérogénéité spatiale et temporelle des communications au sein d'un MPSoC, hétérogénéité provoquée par l'exécution d'applications non

régulières ou tout simplement de plusieurs applications différentes en même temps. Ainsi notre objectif est d'optimiser l'utilisation des gains en bande passante et en latence permis par l'utilisation de la radio fréquence (RF) dans les MPSoC. Dans la suite de ce document, nous allons proposer un NoC permettant de faire de l'allocation dynamique de fréquence à la demande, Wired RF Network on Chip reconfigurable on Demand (WiNoCoD). La section 2 présente un panorama des nouvelles technologies explorées pour l'amélioration des NoC. La section 3 présente l'architecture WiNoCoD en détail. La section 4 présente les résultats de la solution proposée et finalement la section 5 conclut cet article.

## 2. État de l'art

Parmi les NoC proposés, beaucoup utilisent de nouvelles technologies pour dépasser les limitations des connexions RC classiques afin de répondre aux besoins croissants en bande passante et en latence, suivant ainsi les recommandations de l'ITRS [9]. On peut regrouper ces solutions utilisant de nouvelles technologies en deux catégories, d'une part celles qui utilisent des puces en 3D [17] pour diminuer les distances à parcourir, et d'autre part celles qui utilisent des connexions optiques [16, 12] ou la RF [3, 5] pour augmenter la vitesse de propagation de l'information.

### 2.1. Les NoC 3D

Pour la 3D, la solution la plus simple est de rajouter aux routeurs utilisés dans un NoC à deux dimensions une connexion basse et une connexion haute pour relier les différentes couches entre elles. Cette solution ne fait pas la différence entre les communications dans le plan et les communications verticales et ne tire donc pas partie de la plus faible distance entre deux routeurs superposés qu'entre deux routeurs adjacents dans la même couche.

Une première amélioration consiste donc à tenir compte de la distance verticale plus faible et permettre à un routeur de communiquer en un cycle réseau avec les routeurs adjacents du même plan ainsi qu'avec les routeurs des autres couches situés à sa verticale. Pour ce faire les communications verticales utilisent alors un bus [14]. Finalement, certaines approches proposent d'utiliser des solutions mêlant la 3D et l'optique [25] ou la RF [13] comme on peut le voir dans les sous-sections 2.2 et 2.3.

Si la 3D présente de nombreux avantages, elle risque de se heurter à des problèmes de dissipation thermique [4].

### 2.2. Les NoC optiques

Les solutions optiques permettent de répondre à deux besoins. D'une part celui d'une vitesse de transmission de plus en plus importante alors que le rapport entre la taille totale des puces et celle d'un transistor devient de plus en plus grand, rendant ainsi les distances de plus en plus grandes à l'échelle du transistor. D'autre part le besoin de diminuer la consommation des puces. Si la vitesse de transmission d'une onde lumineuse devrait permettre de régler le premier point, c'est sur les très faibles pertes des guides d'ondes optiques que se fondent les espoirs en terme de consommation.

Kurian et al. [12] proposent d'utiliser un réseau point à point pour les communications courtes distances et le réseau optique pour les communications longues distances en reliant des tuiles de 16 cœurs entre elles. Cette topologie part de la constatation qu'une communication à travers le NoC optique se fait en temps quasi constant, temps qui est supérieur au temps pour communiquer avec ses plus proches voisins, il est donc inutile de l'utiliser en dessous d'une certaine distance entre source et destination. De plus ils constatent que l'utilisation de nouvelles

technologies dans la réalisation de NoC ne permet pas uniquement un gain en débit et/ou en latence mais peut aussi permettre d'autres innovations architecturales comme de nouvelles politiques de gestion de caches. L'utilisation de NoC optique n'exclut pas la 3D, certaines solutions réunissent d'ailleurs les deux principes, ainsi Ye et al. [25] proposent d'utiliser une couche dédiée au NoC optique.

Un des inconvénients majeurs des NoC optiques est la nécessité d'une source lumineuse externe à la puce.

### 2.3. Les NoC RF

Les ondes RF présentent l'avantage de se déplacer à des vitesses du même ordre de grandeur que les ondes lumineuses. De plus la RF est déjà entièrement compatible avec les technologies CMOS, la faisabilité d'interconnexions RF a d'ailleurs déjà été prouvée [20, 8, 6].

L'onde RF peut être transmise soit à travers une ligne de transmission, soit par le biais d'une antenne. Des solutions utilisant des antennes présentent plus de souplesse en terme de configuration et de fabrication. On pourrait par exemple réaliser des puces 2D ou 3D où les différentes parties ou couches seraient reliées grâce à ces antennes et pourraient être fabriquées séparément [13]. Ces approches introduisent cependant une plus grande sensibilité aux interférences. De plus la surface supplémentaire induite par les antennes minimise le gain en surface permis par l'absence de ligne de transmission. Finalement, les antennes augmentent la consommation par rapport aux guides d'ondes.

L'utilisation de la RF dans les NoC semble être la meilleure alternative puisque d'un côté la 3D pose des problèmes de dissipation thermique et de l'autre l'optique nécessite encore une source lumineuse extérieure à la puce. Si l'utilisation de ces nouvelles technologies peut apporter des gains en terme de latence et de bande passante, la répartition de ces gains ne doit pas forcément être uniforme. Ainsi en fonction du code s'exécutant sur les différents cœurs, tous n'ont pas les mêmes besoins en communication à un instant donné. De plus pour une tâche donnée, les besoins peuvent varier dans le temps et la tâche peut être déplacée sur un autre cœur. Pour le moment, le NoC RF proposé dans [24] semble être le seul à gérer à la fois ces deux types d'hétérogénéité. La bande passante y est distribuée entre plusieurs canaux qui sont ensuite attribués dynamiquement aux différents nœuds en fonction des besoins.

Or cette gestion de l'hétérogénéité spatiale et temporelle présente des similitudes avec l'allocation de fréquence faite en radio logicielle, notamment avec les mécanismes de détection [15] et de décision [11] utilisés. Ce sont ces solutions qui seront utilisées dans WiNoCoD pour allouer dynamiquement les canaux de communication du NoC RF.

## 3. L'architecture WiNoCoD

Comme nous l'avons déjà évoqué dans la section précédente, la RF présente certaines similitudes avec l'optique, notamment en terme de temps de propagation. Ainsi le temps de propagation est très court à l'échelle d'une puce, de l'ordre de 0,5 ns pour 100 mm, et peut-être considéré comme quasi constant quelque soit la source et la destination. De plus, le temps nécessaire à l'émission et à la réception de l'onde RF est lui aussi constant quelque soit la source et la destination. Nous avons donc grâce à un NoC RF un moyen de transmettre des données en temps constant contrairement au NoC à base de routeurs où les délais varient linéairement en fonction de la distance entre la source et la destination. Cependant si le temps de transmission est constant, il est supérieur à celui d'un NoC à base de routeurs pour les communications courtes distance. Il convient donc de n'utiliser la RF qu'à partir d'une certaine distance entre la source et la destination, le choix d'une architecture hiérarchique où la RF constituerait le niveau le

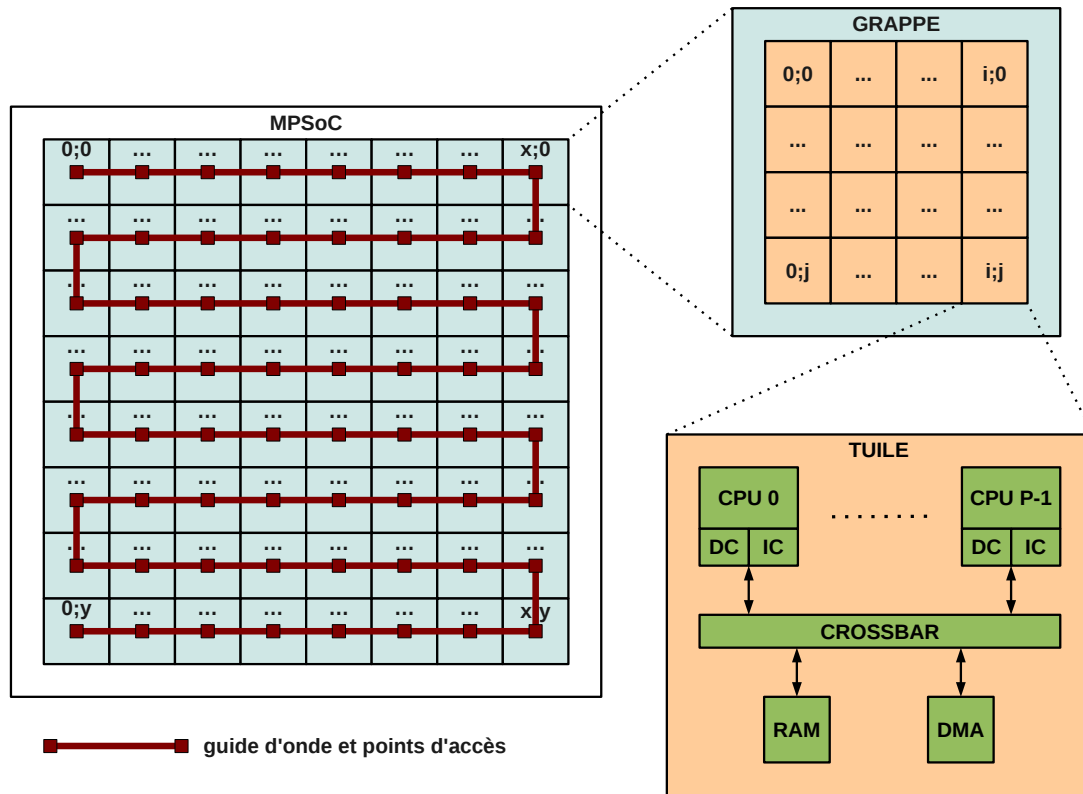


FIGURE 1 – Organisation hiérarchique du MPSoC et topologie du NoC

plus supérieur semble donc naturel.

Cette section présente l'architecture d'un MPSoC utilisant le NoC hiérarchique WiNoCoD.

### 3.1. Le MPSoC

La figure 1 illustre l'architecture hiérarchique du MPSoC utilisant WiNoCoD, il est composé de grappes qui contiennent des tuiles elles même constituées de plusieurs cœurs et de différents périphériques. Chaque niveau hiérarchique correspondant à un niveau d'interconnexion donné.

La tuile est le niveau hiérarchique le plus bas. Une tuile contient P processeurs, ayant chacun un cache instructions et un cache données, ainsi qu'une RAM locale et un DMA. Tous ces composants sont connectés par un crossbar local comme on peut le voir dans la figure 1. L'intérêt d'un crossbar est qu'il permet aux communications de se faire en parallèle entre les différents initiateurs (processeurs, DMA) et cibles (DMA, mémoire, périphériques), un processeur peut par exemple communiquer avec un périphérique pendant que le DMA communique avec la mémoire. Si le crossbar présente cet avantage par rapport à un bus, il partage l'inconvénient de ne pas passer à l'échelle. Alors que les performances d'un bus ne passent intrinsèquement pas à l'échelle, le crossbar est lui limité par l'augmentation quadratique du nombre de fils en fonction du nombre d'éléments à connecter, en pratique on l'utilise rarement pour connecter plus d'une douzaine d'éléments. Le crossbar est aussi connecté à un routeur lui permettant de communiquer avec les autres tuiles.

Les tuiles sont ainsi connectées via leur routeur pour former des grappes de tuiles, ces grappes sont donc des grilles de  $M * M$  tuiles où chaque routeur est relié aux quatre routeurs les plus

proches. La grille passe à l'échelle du point de vue de la bande passante puisque celle-ci augmente en même temps que la taille de la grille. Malheureusement la latence augmente elle aussi en même temps que la taille de la grille.

Si la taille d'une tuile est intrinsèquement limitée par les caractéristiques du crossbar, c'est donc l'augmentation de la latence qui limite la taille d'une grappe. On utilise alors le NoC RF comme troisième niveau d'interconnexion quand sa latence devient plus faible que celle de la grille, on peut ainsi intégrer plus de cœurs sur une même puce tout en maîtrisant l'augmentation de la latence.

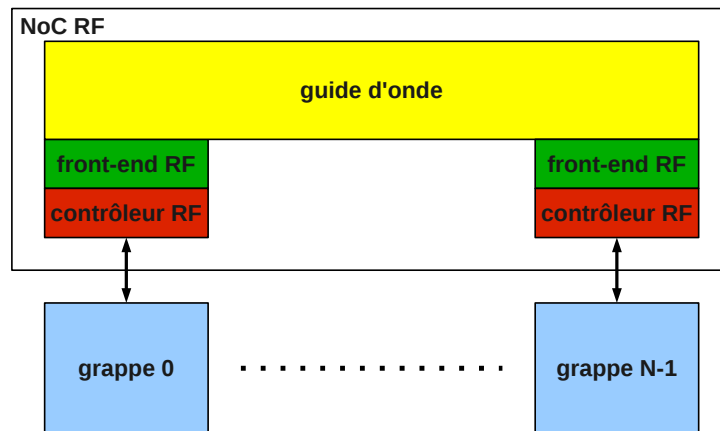


FIGURE 2 – Connexion entre le NoC RF et les grappes

### 3.2. Le NoC RF

Les grappes de tuiles utilisent donc le NoC RF pour communiquer entre elles. Chaque grappe dispose d'un routeur RF qui en plus des connexions présentes dans les autres routeurs de la grille possède un contrôleur RF et un front-end RF comme on peut le voir sur la figure 2.

On utilise un mécanisme d'Orthogonal Frequency Division Multiple Access (OFDMA) pour diviser la bande disponible en autant de sous bandes (aussi appelées sous porteuses) que nécessaire. Ce mécanisme permet d'avoir une occupation optimale de la bande tout en s'assurant qu'il n'y ait pas d'interférences entre les différentes sous-porteuses. En pratique cela se traduit par le fait qu'à l'amplitude maximum d'une sous-porteuse, toutes les autres ont une amplitude nulle. Des sous-porteuses avec de telles caractéristiques peuvent être générées par une IFFT en émission et traduites par une FFT en réception. Cette opération est effectuée dans le front-end RF présenté dans la figure 3. Les données y sont d'abord modulées en une suite de symboles, le nombre de bits codés par symbole peut ainsi varier en fonction du type de modulation choisi, un avec une modulation BPSK, deux avec une QPSK ou encore quatre avec une 16-QAM. Les symboles sont ensuite parallélisés pour être placés sur les entrées de la IFFT qui correspondent aux sous-porteuses allouées au routeur RF. Après la mise en forme par la IFFT, elles passent par le convertisseur numérique-analogique et sont émises sur le guide d'onde [18] via le transmetteur. Elles suivent ensuite le chemin quasi inverse dans la partie réception des autres routeurs RF. Une donnée circulant sur le NoC RF est donc visible par toutes les grappes du MPSoC, c'est cette caractéristique qui permet un broadcast à faible coût puisque envoyer une donnée à une seule grappe ne prend pas plus de temps que l'envoyer à toutes les grappes. Pour permettre

une situation où toutes les grappes voudraient émettre en même temps, le spectre est partagé en  $N * (B/S)$  sous-porteuses avec  $N$  le nombre de grappes dans le MPSoC,  $B$  le nombre de bits d'un flit (unité de base des données circulant sur le réseau) et  $S$  le nombre de bits codés par un symbole dans la modulation par défaut du système. Cette modulation par défaut, serait par exemple la modulation BPSK pour un système utilisant des modulations BPSK, QPSK et 16-QAM.

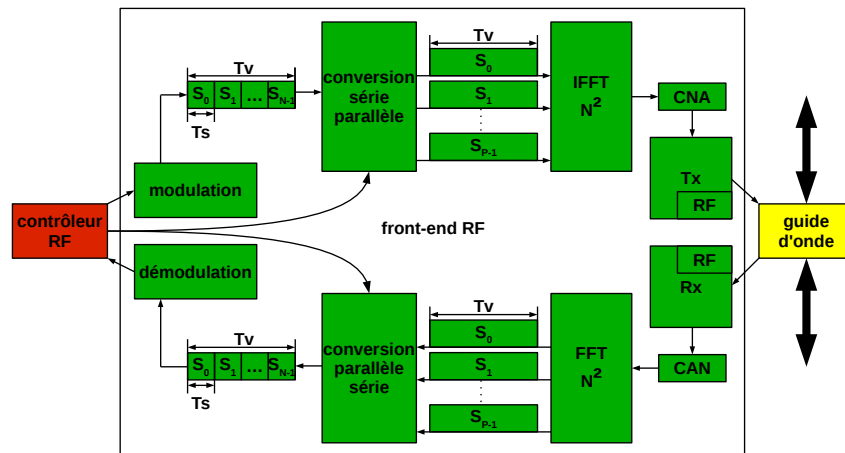


FIGURE 3 – RF front end

Pour gérer l'hétérogénéité spatiale et temporelle des communications, il faut pouvoir attribuer les différentes bandes aux différentes grappes en fonction des besoins du moment. C'est le contrôleur RF présenté dans la figure 4 qui se charge de cette gestion en analysant les besoins de la grappe dont il dépend et l'utilisation des sous-porteuses au sein du NoC RF. Il doit être capable de mettre en œuvre différentes stratégies de communication, allant du cas où chaque grappe se verrait allouer le nombre de sous porteuses nécessaire à l'émission d'un flit, au cas où une seule grappe se verrait attribuer toutes les sous-porteuses. Il peut aussi changer de modulation pour augmenter le nombre de bits représentés par un symbole et donc la bande passante allouée à sa grappe.

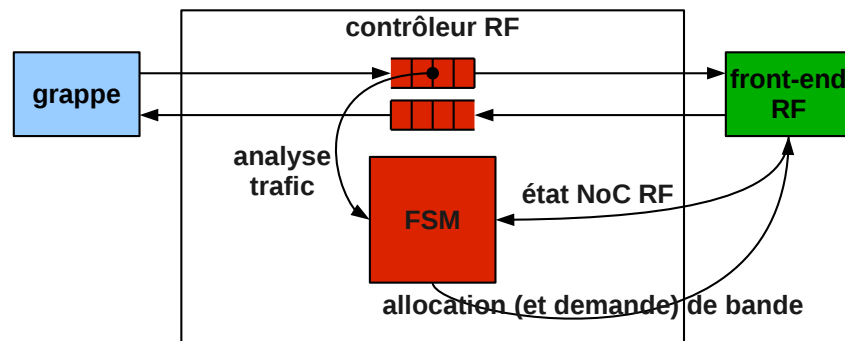


FIGURE 4 – RF controller

## 4. Résultats

### 4.1. Estimation des caractéristiques physiques de la puce

Les résultats présentés dans les tableaux 1 et 2 correspondent à un NoC RF de 16 grappes où nous avons fait varier la taille des grappes. Nous avons procédé à l'estimation de la surface et de la consommation de la réalisation physique d'une telle puce dans une technologie cible de 22 nm à partir des caractéristiques de l'état de l'art des composants utilisés. Cette finesse de gravure est celle utilisée actuellement dans la dernière génération des Core i7 d'Intel [7].

La taille d'un i7 conditionné pour être installé sur une carte mère est de 37,5 mm sur 37,5 mm, soit approximativement 1400 mm<sup>2</sup>, la partie occupée par le die ne mesure que 19,68 mm sur 11,95 mm, soit approximativement 235 mm<sup>2</sup>. En ce qui concerne la consommation, elle est de 130 W pour la version la plus puissante de cette famille de processeurs. Ce sont ces valeurs que nous garderons en tête pour évaluer la faisabilité de notre MPSoC en terme de surface et de consommation.

cas	1	2	3
# total cœurs	256	1 024	4 096
# cœurs par tuile	4	4	4
# tuiles par grappe	4	16	64
# grappes	16	16	16
surface IFFT/FFT	1,13	1,13	1,13
surface Tx/Rx	0,62	0,62	0,62
surface CAN/CNA	0,21	0,21	0,21
surface du canal	4,51	9,01	18,03
<b>surface totale du RF-NoC</b>	<b>6,46</b>	<b>10,97</b>	<b>19,98</b>
surface 1 cœur	0,35	0,35	0,35
surface 1 RAM locale	0,53	0,53	0,53
surface 1 tuile	1,93	1,93	1,93
surface 1 grappe	7,72	30,89	123,57
<b>surface totale du MPSoC</b>	<b>130,03</b>	<b>505,26</b>	<b>1 997,12</b>
<b>part dédiée au RF-NoC</b>	<b>4,97%</b>	<b>2,17%</b>	<b>1,00%</b>

TABLE 1 – Surface du MPSoC (mm<sup>2</sup>)

#### 4.1.1. Surface

Dans ce qui suit, nous avons utilisé l'équation 1 pour obtenir  $S_N$  la surface normalisée dans une technologie N, ici 22 nm, en fonction de  $S_Q$  la surface dans la technologie d'origine Q.

$$S_N = S_Q * (N/Q)^2 \quad (1)$$

Pour les composants analogiques la mise à l'échelle n'est pas aussi simple, leur surface ne dépend pas uniquement de la finesse de gravure utilisée, nous avons donc utilisé les surfaces de l'état de l'art de ces composants comme borne supérieure.

La surface occupée par notre RF-NoC est principalement due aux FFT/IFFT [22] ainsi qu'à la



ligne de transmission [6], viennent ensuite les CAN/CNA [2] ainsi que les émetteurs/récepteurs [10] et finalement les autres composants. Ainsi une FFT/IFFT comme celle que nous devrions utiliser dans notre RF-NoC dans le cas où il devrait relier 16 grappes de tuiles occupe une surface de  $2,37 \text{ mm}^2$  en utilisant une finesse de gravure de 180 nm.

Pour ce qui est du reste du MPSoC, la majeure partie de la surface est occupée par les cœurs et leurs caches ainsi que les mémoires locales. On voit par exemple dans [19] qu'un cœur simple, un Cortex-A5 d'ARM doté de deux caches de 32 Ko, occupe une surface de  $0,74 \text{ mm}^2$  en utilisant une finesse de gravure de 32 nm et qu'une mémoire telle que la RAM utilisée dans nos tuiles occupe une surface de  $1,25 \text{ mm}^2$ . Nous avons ainsi pu établir les résultats présentés dans la table 1. Ainsi si les deux premiers cas semblent réalistes puisque le die du MPSoC aurait une surface du même ordre de grandeur que le die du processeur cité en exemple. La faisabilité du dernier cas semble plus incertaine avec les finesses de gravure actuelles puisque le die de ce MPSoC aurait une surface du même ordre de grandeur que le processeur conditionné mais pourrait être envisageable avec l'évolution des finesses de gravure. Nous verrons dans la sous-section 4.2 l'impact sur les performances du NoC RF de l'augmentation du nombre de tuiles par grappe pour un nombre de grappes fixe.

cas	1	2	3
# total cœurs	256	1 024	4 096
# cœurs par tuile	4	4	4
# tuiles par grappe	4	16	64
# grappes	16	16	16
conso FFT	212	212	212
conso Tx/Rx	200	200	200
conso CAN/CNA	61	61	61
<b>conso totale du RF-NoC</b>	<b>473</b>	<b>473</b>	<b>473</b>
conso 1 cœur	39	39	39
conso 1 RAM	23	23	23
<b>conso totale du MPSoC</b>	<b>11 394</b>	<b>45 575</b>	<b>182 301</b>
<b>part dédiée au RF-NoC</b>	<b>4,15%</b>	<b>1,04%</b>	<b>0,26%</b>

TABLE 2 – Consommation du MPSoC (mW)

#### 4.1.2. Consommation

Les deux scénarios d'évolution des transistors les plus repris sont celui de l'ITRS [9] et celui d'Intel [1]. Ainsi pour une diminution d'un facteur 0,7 de la taille des transistors, la diminution de la consommation serait comprise entre 0,53 et 0,65 pour le scénario de l'ITRS et entre 0,65 et 0,74 selon le scénario d'Intel. On pourrait donc retenir pour le passage d'une technologie à une autre un facteur de 0,7 pour la taille des transistors et de 0,65 pour la consommation.

L'équation 2 donne  $W_N$  la consommation normalisée dans une technologie N en fonction de  $W_Q$  la consommation dans la technologie d'origine Q.

$$W_N = W_Q * 0.65^{\log_{0.7}(N/Q)} \quad (2)$$

Nous avons ainsi pu établir les résultats présentés dans la table 2. Nous constatons ainsi que les surcoûts en terme de consommation et de surface ne varient pas de la même façon. Cela

s'explique par la part croissante du guide d'onde dans la surface du NoC RF alors que l'augmentation de sa longueur n'est pas prise en compte pour le calcul de la consommation. Cependant contrairement à la surface, la consommation reste dans les trois cas du même ordre de grandeur que celle de notre processeur de référence, montrant ainsi la faisabilité de notre NoC RF.

#### 4.2. Évaluation des performances

Nous avons développé un modèle de cette architecture grâce à SystemC [23] et à la bibliothèque de composants SoClib [21] pour valider fonctionnellement cette architecture. Nous avons comparé les performances de notre NoC RF à celles d'une grille dans le cas d'une répartition aléatoire du trafic et sans contention. Pour cette évaluation nous avons retenu une fréquence de fonctionnement d'1 GHz pour les composants numériques, fixé le nombre de grappes à 16 et utilisé une bande de 20 GHz située entre 20 GHz et 40 GHz pour la RF.

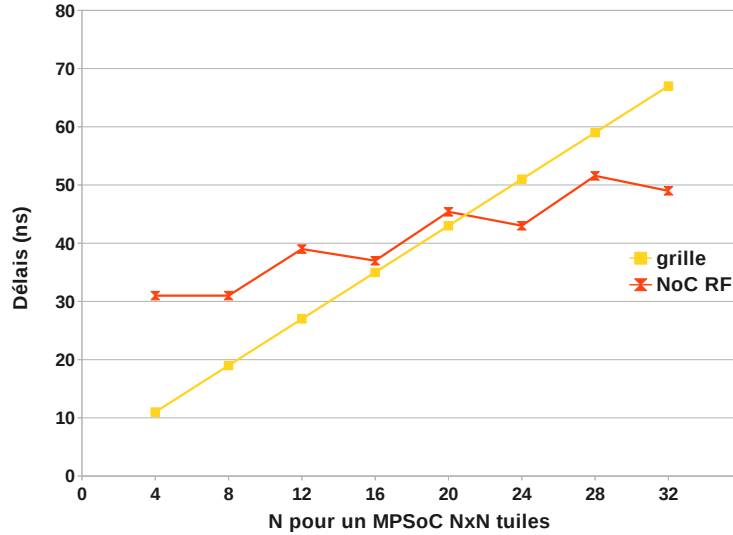


FIGURE 5 – Latence moyenne du transfert point à point d'un flit sur le NoC

##### 4.2.1. Communication point à point

La latence  $l_{RG}$  d'un routeur de la grille est de 3 cycles, un pour la lecture de la donnée en entrée, un pour le choix du port de sortie et un pour l'écriture de la donnée sur la sortie choisie. L'équation 3 donne  $D_{MPSoC}$ , le nombre moyen de routeurs traversés pour relier deux tuiles quelconques, routeur de la tuile d'origine compris, dans le cas d'un MPSoC formé par une grille de  $N * N$  tuiles. On peut donc obtenir  $L_{grille}$  la latence moyenne d'une grille grâce à l'équation 4.

$$D_{MPSoC} = \frac{2}{3}N + 1 \quad (3)$$

$$L_{grille} = D_{MPSoC} * l_{RG} \quad (4)$$

La latence  $l_{RF}$  du NoC RF est de 25 cycles, ce qui correspond au temps nécessaire à la mise en forme de la donnée par le routeur RF émetteur, à son transit sur le guide d'onde et à sa traduction par le routeur RF récepteur. Il faut ajouter à la latence du NoC RF le nombre moyen de cycles nécessaires pour que la donnée aille de la tuile source au routeur RF en émission et du routeur RF à la tuile destination en réception. Pour un MPSoC contenant des grappes de  $M * M$  tuiles, la distance moyenne  $D_{grappe}$  entre une tuile et le routeur RF est donnée par l'équation 5 si  $M$  est pair et par l'équation 6 si  $M$  est impair. L'accès à la RF se fait par les quatre tuiles centrale dans le premier cas alors qu'il se fait par l'unique tuile centrale dans le deuxième. Ce traitement différent des tuiles de largeur paire ou impaire explique la progression en échelle de la latence moyenne du NoC RF visible sur la figure 5. L'équation 7 donne  $L_{NoC\_RF}$  la latence moyenne du NoC RF.

$$D_{grappe} = \frac{M}{2} \quad (5)$$

$$D_{grappe} = \frac{M^2 + 2M - 1}{2M} \quad (6)$$

$$L_{NoC\_RF} = l_{RG} * D_{grappe} + l_{RF} \quad (7)$$

Nous pouvons alors comparer le délai moyen de réception d'un flit avec le NoC RF et avec une grille reliant toutes les tuiles du MPSoC entre elles. Nous avons fixé le nombre de grappe à 16 et fait varier les dimensions du MPSoC, et donc des grappes. Nous voyons ainsi dans la figure 5 que les communications à travers le NoC RF deviennent en moyenne plus rapides à partir d'un MPSoC 24x24, soit 576 tuiles.

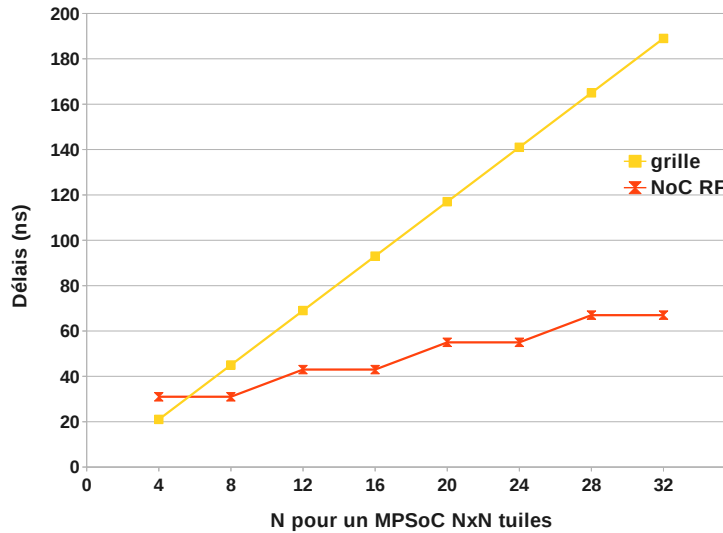


FIGURE 6 – Latence maximale du broadcast d'un flit sur le NoC

#### 4.2.2. Broadcast

Pour effectuer un broadcast, il faut traverser au maximum  $2N - 1$  routeurs dans une grille alors qu'il ne faut en traverser qu'au maximum  $2M$  et le NoC RF dans le cas de ce dernier sachant que  $N$  est la largeur en nombre de tuiles du MPSoC alors que  $M$  est celle d'une grappe. Nous avons ainsi obtenu les résultats de la figure 6, il en ressort que le NoC RF est plus rapide à partir d'un MPSoC  $8 \times 8$ , soit 64 tuiles.

### 5. Conclusion et perspectives

Nous avons décrit dans cet article le NoC RF WiNoCoD permettant un gain en latence par rapport à un NoC conventionnel par routage de paquet. De plus grâce aux mécanismes d'allocation dynamique des canaux de communications, la bande passante peut-être allouée en fonction des besoins des différentes régions du MPSoC permettant ainsi de gérer l'hétérogénéité spatiale et temporelle des communications.

Si les apports si-dessus du NoC RF WiNoCoD sont du domaine de ce que l'on peut attendre en proposant un nouveau NoC, il possède une autre caractéristique intéressante. Quand un nœud du NoC RF émet une donnée à destination d'un autre nœud, cette donnée est aussi reçue en même temps par l'ensemble des autres nœuds du NoC RF, ce qui permet un broadcast à faible coût. On pourrait ainsi imaginer de nouveaux protocoles de cohérence de cache tirant partie de cette particularité intéressante en terme de broadcast.

### Remerciements

Ces travaux s'inscrivent dans le cadre du projet ANR WiNoCoD regroupant les laboratoires ETIS, IETR et LIP6 ainsi que l'entreprise NXP.

### Bibliographie

1. Borkar (S.) et Chien (A. A.). – The future of microprocessors. *Communications of the ACM*, vol. 54, n5, 2011, pp. 67–77.
2. Chan (C.), Zhu (Y.), Sin (S.), Seng-Pan (U.) et Martins (R.). – A 3.8 mw 8b 1gs/s 2b/cycle interleaving sar adc with compact dac structure. In : *VLSI Circuits (VLSIC), 2012 Symposium on*. IEEE, pp. 86–87.
3. Chang (M.), Cong (J.), Kaplan (A.), Naik (M.), Reinman (G.), Socher (E.) et Tam (S.). – Cmp network-on-chip overlaid with multi-band rf-interconnect. In : *High Performance Computer Architecture, 2008. HPCA 2008. IEEE 14th International Symposium on*. IEEE, pp. 191–202.
4. Esmaeilzadeh (H.), Blem (E.), Amant (R. S.), Sankaralingam (K.) et Burger (D.). – Power challenges may end the multicore era. *Communications of the ACM*, vol. 56, n2, 2013, pp. 93–102.
5. Ganguly (A.), Chang (K.), Deb (S.), Pande (P.), Belzer (B.) et Teuscher (C.). – Scalable hybrid wireless network-on-chip architectures for multicore systems. *Computers, IEEE Transactions on*, vol. 60, n10, 2011, pp. 1485–1502.
6. Hu (J.), Xu (J.), Huang (M.) et Wu (H.). – A 25-gbps 8-ps/mm transmission line based interconnect for on-chip communications in multi-core chips. In : *Microwave Symposium Digest (IMS), 2013 IEEE MTT-S International*. IEEE, pp. 1–4.
7. Intel. – Intel® core™ i7-4960hq processor. – <http://www.intel.com/content/www/us/en/processors/core/4th-gen-core-family-desktop-tmsdg.html>.
8. Ito (H.), Kimura (M.), Miyashita (K.), Ishii (T.), Okada (K.) et Masu (K.). – A bidirectional-

- and multi-drop-transmission-line interconnect for multipoint-to-multipoint on-chip communications. *Solid-State Circuits, IEEE Journal of*, vol. 43, n4, 2008, pp. 1020–1029.
9. ITRS. – International technology roadmap for semiconductors, 2012 update. – <http://www.itrs.net/Links/2012ITRS/Home2012.htm>.
  10. Jongsun (K.), Gyungsu (B.) et Chang (M.). – A low-overhead and low-power rf transceiver for short-distance on-and off-chip interconnects. *IEICE transactions on electronics*, vol. 94, n 5, 2011, pp. 854–857.
  11. Jouini (W.), Moy (C.), Palicot (J.) et al. – Decision making for cognitive radio equipment : analysis of the first 10 years of exploration. *EURASIP Journal on Wireless Communications and Networking*, vol. 1, 2012, p. 26.
  12. Kurian (G.), Miller (J.), Psota (J.), Eastep (J.), Liu (J.), Michel (J.), Kimerling (L.) et Agarwal (A.). – Atac : A 1000-core cache-coherent processor with on-chip optical network. In : *Proceedings of the 19th international conference on Parallel architectures and compilation techniques*. ACM, pp. 477–488.
  13. Lee (J.), Zhu (M.), Choi (K.), Ahn (J. H.) et Sharma (R.). – 3d network-on-chip with wireless links through inductive coupling. In : *SoC Design Conference (ISOCC), 2011 International*. IEEE, pp. 353–356.
  14. Li (F.), Nicopoulos (C.), Richardson (T.), Xie (Y.), Narayanan (V.) et Kandemir (M.). – Design and management of 3d chip multiprocessors using network-in-memory. *ACM SIGARCH Computer Architecture News*, vol. 34, n2, 2006, pp. 130–141.
  15. Lu (L.), Zhou (X.), Onunkwo (U.) et Li (G.). – Ten years of research in spectrum sensing and sharing in cognitive radio. *EURASIP Journal on Wireless Communications and Networking*, vol. 2012, n1, 2012, p. 28.
  16. Pan (Y.), Kumar (P.), Kim (J.), Memik (G.), Zhang (Y.) et Choudhary (A.). – Firefly : illuminating future network-on-chip with nanophotonics. *ACM SIGARCH Computer Architecture News*, vol. 37, n3, 2009, pp. 429–440.
  17. Pavlidis (V.) et Friedman (E.). – 3-d topologies for networks-on-chip. *Very Large Scale Integration (VLSI) Systems, IEEE Transactions on*, vol. 15, n10, 2007, pp. 1081–1090.
  18. Rouviere (M.), Bourdel (E.), Quintanel (S.) et Granado (B.). – Vhdl-ams model of rf-interconnect system for global on-chip communication. In : *Specification & Design Languages (FDL 2010), 2010 Forum on*. IET, pp. 1–4.
  19. Sewell (K.), Dreslinski (R. G.), Manville (T.), Satpathy (S.), Pinckney (N.), Blake (G.), Cieslak (M.), Das (R.), Wenisch (T. F.), Sylvester (D.) et al. – Swizzle-switch networks for many-core systems. *Emerging and Selected Topics in Circuits and Systems, IEEE Journal on*, vol. 2, n2, 2012, pp. 278–294.
  20. Socher (E.) et Chang (M.). – Can rf help cmos processors ? *Communications Magazine, IEEE*, vol. 45, n8, 2007, pp. 104–111.
  21. SoClib. – <http://www.soclib.fr/trac/dev>.
  22. Sung (T.), Hsin (H.) et Ko (L.). – Reconfigurable vlsi architecture for fft processor. *WSEAS Transactions on Circuits and Systems*, vol. 8, n6, 2009, pp. 465–474.
  23. SystemC. – <http://www.accellera.org/community/systemc/>.
  24. Xiao (C.), Chang (F.), Cong (J.), Gill (M.), Huang (Z.), Liu (C.), Reinman (G.) et Wu (H.). – Stream arbitration : Towards efficient bandwidth utilization for emerging on-chip interconnects. *ACM Transactions on Architecture and Code Optimization (TACO)*, vol. 9, n4, 2013, p. 60.
  25. Ye (Y.), Duan (L.), Xu (J.), Ouyang (J.), Hung (M.) et Xie (Y.). – 3d optical networks-on-chip (noc) for multiprocessor systems-on-chip (mpsoc). In : *3D System Integration, 2009. 3DIC 2009. IEEE International Conference on*. IEEE, pp. 1–6.